

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

MOON-KEUN LEE, ET AL.

Application No.:

Filed:

For: SEMICONDUCTOR DEVICE WITH  
EPITAXIAL C49-TITANIUM SILICIDE  
(TiSi<sub>2</sub>) LAYER AND METHOD FOR  
FABRICATING THE SAME

Art Group:

Examiner:

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**REQUEST FOR PRIORITY**

Sir:

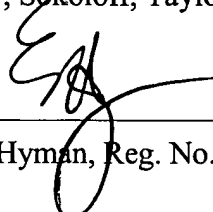
Applicant respectfully requests a convention priority for the above-captioned application, namely:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>DATE OF FILING</u>
Republic of Korea	10-2003-0011101	21 February 2003

☒ A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP



Dated: December 29, 2003

12400 Wilshire Boulevard, 7th Floor  
Los Angeles, CA 90025  
Telephone: (310) 207-3800

Eric S. Hyman, Reg. No. 30,139



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0011101  
Application Number

출원 년 월 일 : 2003년 02월 21일  
Date of Application FEB 21, 2003

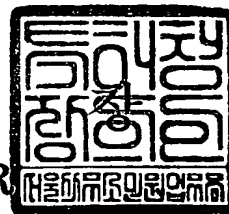
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 24 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2003.02.21
【발명의 명칭】	에피택셜 C49상의 티타늄실리사이드막을 갖는 반도체소자 및 그 제조 방법
【발명의 영문명칭】	SEMICONDUCTOR DEVICE WITH EPITAXIAL C49-TiSi <sub>2</sub> LAYER AND METHOD FOR FABRICATING THE SAME
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	이문근
【성명의 영문표기】	LEE, Moon Keun
【주민등록번호】	710625-1052121
【우편번호】	463-724
【주소】	경기도 성남시 분당구 금곡동 청솔주공9단지 903-412
【국적】	KR
【발명자】	
【성명의 국문표기】	이태권
【성명의 영문표기】	LEE, Tae Kwon
【주민등록번호】	691009-1268110
【우편번호】	463-714
【주소】	경기도 성남시 분당구 구미동 무지개주공12단지 1202-702
【국적】	KR

**【발명자】**

**【성명의 국문표기】** 양준모  
**【성명의 영문표기】** YANG, Jun Mo  
**【주민등록번호】** 651225-1017510  
**【우편번호】** 467-850  
**【주소】** 경기도 이천시 부발읍 대월면 사동리 현대전자사원아파트 103-706  
**【국적】** KR

**【발명자】**

**【성명의 국문표기】** 박태수  
**【성명의 영문표기】** PARK, Tae Su  
**【주민등록번호】** 710121-1017234  
**【우편번호】** 442-738  
**【주소】** 경기도 수원시 팔달구 영통동 청명주공4단지 403-302  
**【국적】** KR

**【발명자】**

**【성명의 국문표기】** 이윤직  
**【성명의 영문표기】** LEE, Yoon Jik  
**【주민등록번호】** 700528-1058310  
**【우편번호】** 467-863  
**【주소】** 경기도 이천시 부발읍 신하리 진우아파트 102-703  
**【국적】** KR

**【심사청구】**

청구

**【취지】**

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
 특허법인 신성 (인)

**【수수료】**

<b>【기본출원료】</b>	20 면	29,000 원
<b>【가산출원료】</b>	22 면	22,000 원
<b>【우선권주장료】</b>	0 건	0 원
<b>【심사청구료】</b>	32 항	1,133,000 원
<b>【합계】</b>		1,184,000 원

**【첨부서류】**

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

고온의 후속 열공정에서 상변화가 발생하지 않는 정도의 낮은 계면 에너지를 갖는 에피택셜 성장된 C49-TiSi<sub>2</sub>막을 실리콘 상에 적용함으로써, TiSi<sub>2</sub>막의 응집 및 그루빙 현상을 방지하여 실리콘층과 금속층의 콘택 저항 및 누설전류를 감소시키는데 적합한 반도체소자 및 그 제조 방법이 개시되어 있다. 본 발명에 따른 에피택셜 성장된 C49-TiSi<sub>2</sub>막은 살리사이드 공정, 콘택 공정 등에 응용 가능하며, 그 형성방법으로 물리기상증착법, 화학기상증착법, 원자층증착법 등이 가능하다.

**【대표도】**

도 5

**【색인어】**TiSi<sub>2</sub>, C49상, 에피택셜층, 응집, PVD, CVD, ALD

**【명세서】****【발명의 명칭】**

에피택셜 C49상의 티타늄실리사이드막을 갖는 반도체소자 및 그 제조 방법{SEMICONDUCTOR DEVICE WITH EPITAXIAL C49-TiSi<sub>2</sub> LAYER AND METHOD FOR FABRICATING THE SAME}

**【도면의 간단한 설명】**

도 1a는 TiSi<sub>2</sub>막이 적용되는 통상적인 반도체 소자의 구조를 보여주는 단면도,

도 1b는 종래기술에 따른 TiSi<sub>2</sub>막 공정 플로우를 나타낸 순서도,

도 2a 및 도 2b는 본 발명에 따른 에피택셜 C49-TiSi<sub>2</sub> 층이 적용된 반도체소자의 구조를 개략적으로 나타낸 소자 단면도,

도 3a 내지 도 3e는 본 발명에 따른 살리사이드 공정에서 PVD 방식에 의한 에피택셜 C49-TiSi<sub>2</sub> 층 형성을 보여주는 공정 단면도,

도 4a 내지 도 4e는 본 발명에 따른 콘택 공정에서 PVD 방식에 의한 에피택셜 C49-TiSi<sub>2</sub> 층 형성을 보여주는 공정 단면도,

도 5는 본 발명에 따른 PVD 방식에 의한 에피택셜 C49-TiSi<sub>2</sub> 층 형성 공정 플로우를 나타낸 순서도,

도 6, 도 7a 및 도 7b, 도 8a 및 도 8b, 도 9는 각각 본 발명에 따라 PVD 방법으로 에피택셜 C49-TiSi<sub>2</sub> 층이 형성된 시료에 대한 분석 데이터들,

도 10은 본 발명에 따른 CVD 방식에 의한 에피택셜 C49-TiSi<sub>2</sub> 층 형성을 보여주는 공정 단면도,

도 11a, 도 11b 및 도 12는 각각 본 발명에 따라 CVD 방법으로 에피택셜 C49-TiSi<sub>2</sub> 층이 형성된 시료에 대한 분석 데이터들,

도 13a 내지 도 13f는 본 발명의 원자층증착법(ALD)에 따른 에피택셜 C49-TiSi<sub>2</sub>의 형성 방법을 보여주는 공정 단면도.

### 【발명의 상세한 설명】

### 【발명의 목적】

### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <11> 본 발명은 반도체 소자 및 그 제조 방법에 관한 것으로, 상호 콘택되는 실리콘층과 금속 층의 사이에 표면 및 계면 에너지가 낮은 에피택셜(epitaxial) C49상의 티타늄실리사이드(이하, "C49-TiSi<sub>2</sub>"라 칭함) 층을 갖는 반도체소자 및 그 제조 방법에 관한 것이다.
- <12> 일반적으로, 반도체소자의 성능 향상을 위해 비트라인(Bitline)이나 캐패시터전극(Capacitor electrode)으로 금속(Metal)을 사용하는데, 이때 콘택 저항 감소를 위하여 실리콘 기판(또는 실리콘층)과 금속의 콘택(Contact) 부분에 TiSi<sub>2</sub>를 적용하고 있다.
- <13> 종래의 방법으로 형성된 TiSi<sub>2</sub>는 다결정(Polycrystalline)구조를 가지며, BPSG(Boro-Phospho-Silicate-Glass) 플로우(Flow)나 커패시터 형성 공정과 같은 후속 고온 공정을 거치게 되면서 C49-TiSi<sub>2</sub>이 C54상의 TiSi<sub>2</sub>(이하 "C54-TiSi<sub>2</sub>"이라 칭함)으로 상변화하며 이로 인해 응집(Agglomeration) 및 그루빙(Grooving) 현상이 발생하므로써 누설 전류 발생 등에 의해 소자의 특성을 나쁘게 한다.

- <14> 도 1a는  $\text{TiSi}_2$ 막이 적용되는 통상적인 반도체 소자의 구조를 보여주는 단면도이고, 도 1b는 종래기술에 따른  $\text{TiSi}_2$ 막 공정 플로우를 나타낸 도면이다.
- <15> 도 1a 및 도 1b를 참조하면, 소정공정이 완료된 실리콘기판(또는 실리콘층)(101)을 마련한 다음(S101), 실리콘기판(101)상에 티타늄(Ti)을 물리기상증착법(PVD; Physical Vapor Deposition)으로 증착한다(S102).
- <16> 이어서, 질소( $\text{N}_2$ ) 분위기에서 급속열처리(RTP; Rapid Thermal Process)를 실시하면, 증착된 Ti는 실리콘과의 계면에서부터 실리사이드화되어  $\text{TiSi}_2$ (102)이 형성되고 증착된 Ti의 표면쪽은  $\text{TiN}$ (103)으로 형성된다(S103). 이어서  $\text{TiN}$ (103) 상에는 비트라인(bitline)용 또는 커패시터(capacitor)의 스토리지 노드(storage node)용 또는 내부연결배선(Interconnection line)용 또는 콘택 플러그(Plug)용으로서 알루미늄(Al) 또는 텅스텐(W) 등의 금속층(103)이 형성된다(S104).
- <17> 이때, 상기 급속열처리는 1단계 또는 2단계로 진행하는데, 급속열처리의 온도 및 Ti의 두께에 따라  $\text{TiSi}_2$ (102)은 C49상 또는 C54상으로 형성되며, 증착시에 C49- $\text{TiSi}_2$ 이 형성된다 하더라도 예컨대 BPSG 플로우, 캐패시터 열처리와 같은 후속 고온 열공정시 열역학적으로 안정상인 C54- $\text{TiSi}_2$ 으로 상변화 한다.
- <18> 그런데, C54- $\text{TiSi}_2$ 는 C49- $\text{TiSi}_2$ 에 비하여 상대적으로 실리콘과의 계면 에너지가 높으므로, 후속 고온 열공정시에 C54- $\text{TiSi}_2$ 의 새로운 핵생성과 입계성장(Grain growth)에 의해  $\text{TiSi}_2$ 의 응집이 일어나고, 이는 콘택 저항과 누설 전류를 증가시키게 된다.



<19> 또한, C54-TiSi<sub>2</sub>는 열역학적 에너지를 낮추기 위하여 결정입계 면적이 감소하는 그루빙 (Grooving) 현상이 발생하며, 이 과정에서 C54-TiSi<sub>2</sub>의 두께가 더욱 불균일해져 거칠기가 증가하여, 역시 콘택 저항과 누설전류를 증가시키게 된다.

<20> 따라서, TiSi<sub>2</sub>/Si 접합의 콘택저항과 누설전류를 낮게 유지하기 위해서는 후속 열공정 중에도 추가적인 상변화와 응집현상이 일어나지 않는 우수한 열안정성을 갖는 TiSi<sub>2</sub>를 형성하는 것이 중요하며, 이는 결국 TiSi<sub>2</sub>/Si 계면 에너지가 낮은 TiSi<sub>2</sub>를 형성하는 것이 유일한 방법이라 할 수 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<21> 본 발명은 상기 종래기술의 문제점을 해결하기 위한 것으로서, 고온의 후속 열공정에서 상변화가 발생하지 않는 정도의 낮은 계면 에너지를 갖는 에피택셜 성장된 C49-TiSi<sub>2</sub>막을 실리콘 상에 적용함으로써, TiSi<sub>2</sub>막의 응집 및 그루빙 현상을 방지하여 실리콘층과 금속층의 콘택 저항 및 누설전류를 감소시키는데 적합한 반도체소자 및 그 제조 방법을 제공하는데 목적이 있다.

#### 【발명의 구성 및 작용】

<22> 상기의 목적을 달성하기 위한 본 발명의 반도체 소자(콘택홀내에 에피택셜 C49-TiSi<sub>2</sub>를 갖는 소자 구조)는, 실리콘층; 상기 실리콘층 상에 형성되며 상기 실리콘층의 일부가 드러나도록 콘택홀이 오픈된 절연막; 상기 콘택홀내의 상기 실리콘층 상에 에피택셜 성장된 C49상의 티

타늄실리사이드층; 및 상기 티타늄실리사이드층 상부에 형성된 금속층을 포함하는 것을 특징으로 한다.

<23> 또한, 다른 특징적인 본 발명의 반도체소자(살리사이드막으로서 에피택셜 C49-TiSi<sub>2</sub>를 갖는 소자 구조)는, 실리콘기판; 상기 실리콘기판에 국부적으로 형성되어 필드영역과 액티브영역을 정의하는 소자분리막; 상기 액티브영역의 실리콘기판에 형성되고 게이트전극, 소오스/드레인 확산영역을 포함하여 구성되는 모스트랜지스터; 및 상기 소오스/드레인 확산영역의 실리콘기판 상에 에피택셜 성장된 C49상의 티타늄실리사이드층을 포함한다.

<24> 본 발명의 반도체소자 제조 방법(콘택홀을 포함하는 모든 공정에서 PVD로 에피택셜 C49-TiSi<sub>2</sub>를 형성하는 방법)은, 소정 공정이 완료된 실리콘기판을 마련하는 단계; 상기 실리콘기판 표면을 질소를 포함하는 가스분위기에서 플라즈마 처리하는 단계; 상기 질소 플라즈마 처리된 실리콘기판 상에 티타늄을 물리기상증착(PVD) 방법으로 증착하는 단계; 및 열처리를 수행하여 상기 실리콘기판과 상기 티타늄층을 반응시켜 에피택셜 성장된 C49상의 티타늄실리사이드층을 형성하는 단계를 포함하는 것을 특징으로 한다.

<25> 또한, 본 발명의 다른 특징적인 반도체소자 제조 방법(살리사이드층으로서 PVD로 에피택셜 C49-TiSi<sub>2</sub>을 형성하는 방법)은, 실리콘기판에 필드영역과 액티브영역을 정의하기 위한 소자분리막을 형성하는 단계; 상기 액티브영역의 상기 실리콘기판에 소오스/드레인 확산영역을 포함하는 트랜지스터를 형성하는 단계; 상기 소오스/드레인 확산영역의 실리콘기판을 질소를 포함하는 가스 분위기에서 플라즈마 처리하는 단계; 상기 질소 플라즈마 처리된 상기 소오스/드레인 확산영역의 실리콘기판 상에 티타늄을 물리기상증착(PVD) 방법으로 증착하는 단계; 열처리를 수행하여 상기 실리콘기판과 상기 티타늄층을 반응시켜 에피택셜 성장된 C49상의 티타늄실리사이드층을 형성하는 단계; 및 비반응된 상기 티타늄층을 제거하는 단계를 포함한다.

- <26>        또 다른 특징적인 본 발명의 반도체소자 제조 방법(CVD로 에피택셜 C49-TiSi<sub>2</sub>를 형성하는 방법)은, 소정 공정이 완료된 실리콘기판을 준비하는 단계; 및 티타늄 소오스가스와 환원가스를 플로우시켜 상기 실리콘기판과의 표면 반응 및 기상 반응을 이용한 화학기상증착(CVD) 방법으로 C49상의 티타늄실리사이드층을 에피택셜 성장시키는 단계를 포함하는 것을 특징으로 한다.
- <27>        또다른 특징적인 본 발명의 반도체소자 제조 방법(ALD로 에피택셜 C49-TiSi<sub>2</sub>를 형성하는 방법)은, 소정 공정이 완료된 실리콘기판을 원자층증착을 위한 챔버에 로딩하는 제1단계; 상기 챔버내에 티타늄 소오스가스를 플로우시키는 제2단계; 상기 챔버를 제1퍼지하는 제3단계; 상기 챔버내에 환원가스를 플로우시키는 제4단계; 상기 챔버를 제2퍼지하는 제5단계; 및 상기 제2단계 내지 제5단계를 복수회 반복하여 상기 실리콘기판 상에 원자층증착에 의해 에피택셜 성장된 C49상의 티타늄실리사이드층을 형성하는 제6단계를 포함하는 것을 특징으로 한다.
- <28>        이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.
- <29>        도 2a 및 도 2b는 본 발명에 따른 에피택셜 C49-TiSi<sub>2</sub> 층이 적용된 반도체소자의 구조를 개략적으로 나타낸 단면도이다.
- <30>        도 2a는 절연막이 오픈된 콘택홀을 통해 금속층이 실리콘기판에 콘택되는 경우의 소자 구조를 나타낸 것으로서, DRAM 등의 반도체 소자에서는 비트라인(bitline) 콘택, 커패시터

(capacitor)의 스토리지 노드(storage node) 콘택, 내부연결배선(interconnection line)의 콘택, 및 콘택 플러그(plug) 형성 등이 이에 해당된다.

<31> 도 2a를 참조하면, 실리콘기판(또는 단결정 실리콘층)(201)이 드러나도록 절연막(202)이 오픈되어 콘택홀이 형성된 상태에서 실리콘기판(201)상에 에피택셜 C49-TiSi<sub>2</sub>막(203)이 형성되어 있고, 그 상부에 금속층(204)층이 형성되어 있다. 금속층(204)은 알루미늄 또는 텅스텐 등이 적용될 수 있고, 금속층(204)은 실리콘층과 금속층 상호간의 원자확산 방지를 위하여 에피택셜 C49-TiSi<sub>2</sub>막(203)과의 계면쪽에 위치하는 예컨대 TiN층과 같은 베리어(barrier) 금속을 더 포함할 수 있다.

<32> 도 2b는 살리사이드(self align silicide)막에 에피택셜 C49-TiSi<sub>2</sub>막이 적용된 경우의 소자 구조를 나타낸 것으로서, 필드절연막(252)에 의해 필드영역과 액티브영역이 정의되어 있고, 실리콘기판(251)의 액티브영역에 게이트(253) 및 소오스/드레인 확산영역(254)으로 구성되는 모스트랜지스터가 형성되어 있으며, 소오스/드레인 확산영역(254)인 실리콘기판에 살리사이드막으로 에피택셜 C49-TiSi<sub>2</sub>막(255)이 형성되어 있다.

<33> 상기 도 2a 및 도 2b의 구조에서, 에피택셜 C49-TiSi<sub>2</sub>막(203)은 (060)면을 갖는 바, C49-TiSi<sub>2</sub>막(203)의 (060)면의 격자 상수는 Si의 (100)면의 격자 상수와 거의 일치하기 때문에 (100)면을 갖는 실리콘(Si)기판위에 C49-TiSi<sub>2</sub>의 (060)면이 형성되면, 에너지적으로 안정한 반정합 에피택셜 성장이 일어나게 된다.

<34> 에피택셜 C49-TiSi<sub>2</sub>막(203)은 실리콘기판과 반정합 계면을 형성하고, 미스피트(misfit) 전위를 형성함으로써 실리콘기판과 TiSi<sub>2</sub>막 간의 계면에서의 변형 에너지를 최소화한다. 일반적인 C49-TiSi<sub>2</sub>에서 C54-TiSi<sub>2</sub>의 상변화시 C54상의 핵은 그레인 바운더리(grain boundary)의

높은 에너지 지역에서 형성되는데, 에피택셜 성장을 한  $\text{TiSi}_2$ 는 그레인 바운더리가 존재하지 않고 실리콘과의 계면만이 존재한다. 실리콘기판과 에피택셜 C49- $\text{TiSi}_2$ 막의 계면은 반정합을 형성함으로써 최소의 에너지만을 가지기 때문에 일반적인 다결정 구조의 C49- $\text{TiSi}_2$ 에 비해 C54상의 핵생성이 일어나기 어렵다. 따라서, 후속 열공정시 C49- $\text{TiSi}_2$ 에서 에피택셜 C54- $\text{TiSi}_2$ 로의 상변화나 C54- $\text{TiSi}_2$ 의 핵생성 및 성장에 의한  $\text{TiSi}_2$ 막의 응집 및 그루빙이 발생하지 않는다. 결국 실리콘과 금속간의 콘택 저항 개선 및 누설 전류 감소를 얻을 수 있다.

- <35> 이하에서는 실리콘기판(또는 실리콘층)에 에피택셜 C49- $\text{TiSi}_2$ 를 형성하는 방법에 대해서 살펴보고, 실질적으로 DRAM 등의 반도체메모리소자에서 에피택셜 C49- $\text{TiSi}_2$ 이 응용되는 것을 살펴보도록 한다.
- <36> 본 발명에 따른 에피택셜 C49- $\text{TiSi}_2$ 의 형성 방법은 물리기상증착법(PVD; Physical Vapor Deposition), 화학기상증착법(CVD; chemical Vapor Deposition) 및 원자층증착법(ALD; atomic layer deposition)의 방식이 모두 사용 가능하다.
- <37> 도 3a 내지 도 3e는 PVD 방식에 의한 에피택셜 C49- $\text{TiSi}_2$  층 형성을 보여주는 것으로, 살리사이드 공정에서의 응용을 보여준다.
- <38> 먼저, 도 3a를 참조하면, 실리콘기판(301)에 소자분리막(302)을 형성하여 필드영역과 활성영역을 정의한 다음, 실리콘기판(301)의 활성영역에 게이트절연막(303), 게이트전극(304), 게이트전극의 상면 및 측면을 덮는 절연막(305), 소오스/드레인 확산영역(306)을 형성하여 통상의 MOST랜지스터 구조를 형성한다.

- <39> 이어서, 도 3b를 참조하면, BOE, 또는 HF를 사용한 습식 세정이나  $\text{NF}_3$ -베이스(base) 건식 세정을 통하여 소오스/드레인 확산영역(306)의 실리콘기판을 세정한다. 계속해서, 400~450℃ 온도, 3~5Torr의 압력, 400~500W의 파워, 30~60초의 조건하에서  $\text{N}_2$  플라즈마 처리(treatment) 또는  $\text{NH}_3$  플라즈마 처리를 실시하여 소오스/드레인 확산영역(306)의 실리콘기판 표면 상에 질소트랩층( $\text{N}_2$  trapped Layer, 307)을 형성한다. 상기 질소트랩층(307)은 질소 이온들이 실리콘(Si)의 빈격자(Vacancy site, 실리콘은 다이아몬드 큐빅구조로 0, 3/4, 1/4 지점에 빈격자가 존재한다)에 침입하여 트랩되므로써 형성된다.
- <40> 이어서, 도 3c에 도시된 바와 같이 질소트랩층(307)을 포함한 기판 전면상에 PVD법의 일종인 IMP(Ion Metal Plasma) 법을 이용하여 티타늄층(Ti, 308)을 50~300Å의 두께로 증착한다.
- <41> 이어서, 도 3d에 도시된 바와 같이 실리사이드화(silicidation)을 위한 급속열처리(RTP; Rapid Thermal Process)를 실시하여 에피택셜 C49- $\text{TiSi}_2$  층(309)을 형성한다. 상기 급속열처리는 한번의 단계 또는 두번의 단계로 실시할 수 있으며, 두번의 단계로 실시하는 경우 제1단계는 670~850℃에서 20~30초동안 실시하며, 제2단계는 850~900℃에서 20~30초동안 실시한다.
- <42> 본 발명에서는 질소트랩층 형성 후, 실리사이드화를 수행하기 때문에, 질소트랩층(307)은 실리콘과 티타늄의 확산을 방지하여 실리사이드의 형성 속도를 늦추게 된다. 즉, 질소가 Si 기판에 흡착되어 불안정한  $\text{SiN}_x$ 층의 형성(플라즈마시 질소와 기판과의 반응에 의해) 또는 불안정한  $\text{TiN}_x$ 층의 형성(Ti 증착시 Ti와 질소와의 반응에 의해)에 의해 Si과 Ti의 상호확산 반응을 억제하므로써 실리사이드 반응을 억제시킬수 있다. 결과적으로 실리사이드화가 매우 느

리게 실리콘기판(소오스/드레인 확산영역)에서 이루어지기 때문에 실리사이드화시에 에너지적으로 가장 안정한 에피택셜 성장을 하게된다.

<43> 이어서, 도 3e는 미 반응 티타늄을 제거하여 살리사이드가 적용된 모스트랜지스터 제조 공정을 완료한 상태이다.

<44> 도 4a 내지 도 4e는 PVD 방식에 의한 에피택셜 C49-TiSi<sub>2</sub> 층 형성을 보여주는 것으로, 비트라인 금속, 또는 커패시터의 금속전극, 플러그용 금속 또는 내부연결배선용 금속 등의 금속 콘택 공정에서의 응용을 보여준다.

<45> 먼저, 도 4a에 도시된 바와 같이, 실리콘기판(또는 실리콘층, 401) 상의 절연막(402)을 식각하여 실리콘기판(401)의 일부가 드러나도록 콘택홀(403)을 형성한다. 절연막(402)은 단층 또는 다층의 적층된 절연막이 될 수 있다.

<46> 이어서, 도 4b에 도시된 바와 같이 BOE, 또는 HF를 사용한 습식 세정이나 NF<sub>3</sub>-베이스(base) 건식 세정을 통하여 드러난 실리콘기판(401)을 세정한다. 계속해서, 400~500W의 파워에서 30~60초 동안 N<sub>2</sub> 플라즈마 처리 또는 NH<sub>3</sub> 플라즈마 처리를 실시하여 실리콘기판(401) 표면 상에 질소트랩층(404)을 형성한다.

<47> 이어서, 도 4c에 도시된 바와 같이 질소트랩층(404) 상에 예컨대 IMP(Ion Metal Plasma)와 같은 PVD법으로 티타늄층(405)을 50~300Å의 두께로 증착한다.

<48> 이어서, 도 4d에 도시된 바와 같이 질소 분위기에서 급속열처리를 실시하면, 실리콘기판(401)과의 계면에서 부터는 실리사이드화에 의해 에피택셜 C49-TiSi<sub>2</sub> 층(406)이 형성되고, 티타늄층(405)의 표면에서는 티타늄질화막(TiN, 407)이 형성된다. 티타늄질화막(407)은 이후에

증착하는 금속층과 실리콘기판(401) 사이에서의 상호 원자확산 방지/억제를 위한 베리어(barrier) 역할을 한다.

- <49>        상기 급속열처리는 한번의 단계 또는 두번의 단계로 실시할 수 있으며, 두번의 단계로 실시하는 경우 제1단계는 670~850℃에서 20~30초동안 실시하며, 제2단계는 850~900℃에서 20~30초동안 실시한다.
- <50>        이어서, 도 4e는 콘택홀 내에 금속층(408)을 매립한 상태이다. 상기 금속층은 비트라인, 또는 커패시터의 전극, 또는 플러그, 또는 내부연결배선이 된다.
- <51>        이와 같이 도 4a 내지 도 4e에 도시된 실시예에서는 질소트랩층 형성 후, PVD 방식으로 티타늄을 증착하고 실리사이드화를 수행하기 때문에, 실리콘과 티타늄의 확산을 억제하여 실리사이드화를 느리게 진행함으로써 실리사이드화시에 에너지적으로 가장 안정한 에피택셜 C49-TiSi<sub>2</sub> 층을 형성할 수 있으며, 아울러 급속열처리에 의한 실리사이드화시에 베리어메탈인 TiN층을 함께 형성할 수 있다.
- <52>        도 5는 도 1b와 대비되는 본 발명에 따른 PVD 방식에 의한 에피택셜 C49-TiSi<sub>2</sub> 층 형성 공정 플로우를 나타낸 것으로, 앞서 실시예를 통해 설명한 공정 플로우를 간략히 도시한 것이다.
- <53>        도 5를 참조하면, 본 발명에 따른 PVD 방식에 의한 에피택셜 C49-TiSi<sub>2</sub> 층 형성 공정은, 소정 공정이 완료된 실리콘기판(또는 실리콘층)을 마련하는 단계(S501)와, 상기 실리콘기판 표면을 질소를 포함하는 가스분위기에서 플라즈마 처리하는 단계(S502)와, 상기 질소 플라즈마 처리된 실리콘기판 상에 티타늄을 PVD 방법으로 증착하는 단계(S503)와, 열처리를 수행하여 에피택셜 C49-TiSi<sub>2</sub> 층을 형성하는 단계(S504)로 이루어진다. 여기서 열처리는 앞선 실시예에서



급속열처리만을 설명하였으나 퍼니스 어닐(Furnace anneal)도 가능하며, 열처리시에 질소 분위기를 유지하느냐에 따라 베리어메탈 TiN을 형성할 수도 있고 안 할 수도 있다.

<54> 도 6, 도 7a 및 도 7b, 도 8a 및 도 8b, 도 9는 각각 본 발명에 따른 PVD 방법으로 에피택셜 C49-TiSi<sub>2</sub> 층이 형성된 시료를 준비한 다음 분석한 실험 데이터들로서, 시료는 (001)면의 실리콘기판 표면을 세정하여 자연산화막을 제거하고, RF 전압 410W에서 N<sub>2</sub>플라즈마 처리를 하여 실리콘 표면에 N<sub>2</sub>가 흡착되도록 한 다음, Ti 20nm를 IMP법으로 증착하고 670℃와 850℃에서 각각 20초 동안 N<sub>2</sub> RTP 처리하여 실리사이드를 생성시켜 마련한 것이다.

<55> 먼저, 도 6은 Ti 증착전 N<sub>2</sub> 플라즈마 처리를 30초 실시한 경우(B)와, 60초 동안 실시한 경우(C) 및 N<sub>2</sub> 플라즈마 처리를 실시하지 않은 경우(A)에 대한 XDR 분석 그래프이다. 도 6을 참조하면, N<sub>2</sub>플라즈마 처리를 실시하지 않은 경우(A) C54-TiSi<sub>2</sub>의 (311)면과 TiN의 피크가 관찰되었으나, N<sub>2</sub>플라즈마 처리를 한 경우(B, C)에는 C49-TiSi<sub>2</sub>의 (060)면과 TiN (111)면의 피크가 높은 강도를 나타내고 있다. 이것으로 N<sub>2</sub> 처리에 의한 실리콘기판의 표면상태의 변화가 TiSi<sub>2</sub>상의 형성과 상변화에 크게 영향을 주었다는 것을 알 수 있다.

<56> 도 7a는 N<sub>2</sub> 플라즈마 처리를 실시하지 않은 경우의 시료에서 형성된 TiSi<sub>2</sub>상의 미세구조를 TEM으로 관찰한 결과이고, 도 7b는 60초 동안 N<sub>2</sub> 플라즈마 처리를 실시한 경우의 시료에서 형성된 TiSi<sub>2</sub>상의 미세구조를 TEM으로 관찰한 결과이다.

<57> 도 7a 및 도 7b를 참조하면, N<sub>2</sub> 플라즈마 처리를 하지 않은 경우에서 C54상과 TiN (XRD 결과 참고)이 각각 15~30nm, 10nm의 두께의 막으로 형성되어 있으며 결정입계 글루빙(grooving) 현상을 관찰 할 수 있다. 반면에 N<sub>2</sub> 플라즈마 처리를 60

초 행한 경우에는 연속적인  $\text{TiSi}_2$ 막이 형성되지 않고 실리콘기판 내부에서 섬이 형성되어 있고,  $\text{TiN}$ 막도  $\text{N}_2$  플라즈마 처리를 하지 않은 경우에 비교해서 2배 정도 두껍게 형성되어 있다. 이 섬은 전자회절패턴으로부터 C49상의 구조임이 확인되었다. 섬에 따라서는 수 도 정도 기울어진 것도 있지만 기본적으로  $\text{TiSi}_2$ 섬 (060)면이 Si (002)면과 평행한 에피택셜 성장관계를 갖고 있는 것이 확인되었으며 이는 XRD 결과와도 일치함을 알 수 있다. 실리콘기판과  $\text{TiSi}_2$ 섬의 방위관계는 다음과 같다. 아래와 같다.

<58> (060)[001] $\text{TiSi}_2$  // (002)[110]Si

<59> 도 8a 및 도 8b는  $\text{TiSi}_2/\text{Si}$  기판간의 계면을 나타내는 HRTEM 이미지로서, 도 8a는  $\text{N}_2$ 플라즈마처리를 수행하지 않은 경우이고, 도 8b는  $\text{N}_2$  플라즈마 처리를 60초 행한 경우이다. 도 8a와 같이 같이 랜덤(random)한 방위관계를 갖고  $\text{TiSi}_2$ 가 형성된 경우에서 얻어진  $\text{TiSi}_2/\text{Si}$ 기판 계면은 Si과  $\text{TiSi}_2$  격자의 중첩에 의한 콘트라스트인 Moire fringe (B 영역)가 관찰된다. 대부분의 계면에서는 Moire fringe가 관찰된다. 그러나, A 영역에서는 격자변형 콘트라스트가 관찰된다.

<60> 반면에,  $\text{N}_2$  플라즈마 처리를 수행한 도 8b에서는 주기적인 미스피트(misfit) 계면전위가 관찰되고 있다. 이 전위는 에피택셜 성장시 Si과  $\text{TiSi}_2$ 간의 격자상수의 차에 의한 계면의 변형에너지를 감소시키기 위하여 형성된다.

<61> 도 9는 후속 급속열처리온도에 따른  $\text{TiSi}_2$ 의 구조변화를 도시한 XDR 분석 그래프이다. 일반적인 C49상은 Si 기판에서 랜덤한 방위 (주로 (131), (060)면의 우선방위)를 갖고 있어 C54상으로의 상변화 거동을 직접 관찰할 수 없다. 그러나  $\text{N}_2$  처리에 의해 형성된 C49상은

(060)면의 우선방위만을 갖고 있기 때문에 후속 열처리 과정을 거치면 C54상으로 상변화 될 것 이므로 그 거동을 직접 관찰하고자 도 9에 도시된 바와 같이 900℃, 1000℃, 1050℃, 1100℃에 서 20초 동안 N<sub>2</sub> 분위기 하에서 후속 열처리를 진행하였다. 도 9의 XRD 분석 결과로부터 후속 열공정 1000℃ RTA 처리 시점부터 C54상의 피크가 관찰되기 시작하여, RTA 온도 1050℃가 되면 C49상이 소멸되고 C54상과 TiN으로 상변화되며 1100℃가 되면 전부 TiN으로 분해, 형성되어 TiN만이 존재하는 것을 알 수 있다. 결국, 1000℃ 까지의 열처리에서도 에피택셜 C49-TiSi<sub>2</sub>상 이 상변화하지 않고 존재함을 알 수 있어, 본 발명에 따른 에피택셜 C49-TiSi<sub>2</sub>은 후속 열공정 에 따른 응집 및 글루빙 현상이 배제됨을 알 수 있다.

<62> 도 10은 본 발명에 따른 CVD 방식에 의한 에피택셜 C49-TiSi<sub>2</sub> 층 형성을 보여주는 단면도 이다. 본 발명에 따른 CVD 방식에 의한 에피택셜 C49-TiSi<sub>2</sub> 층 형성 방법은 앞서 설명한 살리 사이드 형성 및 콘택홀내의 형성 등에 응용가능 하며, 본 실시예에서는 간략히 실리콘기판상에 에피택셜 C49-TiSi<sub>2</sub> 층을 PECVD(Plasma enhanced CVD) 법으로 형성하는 것을 보여준 것이다.

<63> 도 10을 참조하면, 소정공정이 완료된 실리콘기판(또는 실리콘층)(1001)을 마련한 다음, BOE, 또는 HF를 사용한 습식 세정이나 NF<sub>3</sub>-베이스(base) 건식 세정을 통하여 실리콘기판(1001) 을 세정한다.

<64> 이어서, 티타늄 소스 가스로서의 TiCl<sub>4</sub>와, 환원가스로서의 H<sub>2</sub>를 함께 플로우시키고 아울 러 실리콘기판(1001)과 반응하도록 하여 에피택셜 C49-TiSi<sub>2</sub> 층(1002)을 형성한 것이다. CVD 증착 조건(recipe)는 550~800℃의 온도와 1~20Torr의 압력 및 200~800W의 플라즈마 파워 (Power)에서 실시한다. 한편, 증착 가스로는 앞서 설명한 바와 같이 TiCl<sub>4</sub>/H<sub>2</sub>를 사용하거나,

실리콘소오스가스 및 환원가스 역할을 하는  $\text{SiH}_4$ 가스를 더 부가 할 수 있고( $\text{TiCl}_4/\text{SiH}_4/\text{H}_2$ ), 또는  $\text{TiCl}_4/\text{SiH}_4$ 를 사용 가능하다.

<65> 도 11a는  $\text{TiCl}_4/\text{H}_2$  증착 가스,  $650^\circ\text{C}$ 의 증착 온도, 5Torr의 증착 압력 조건에서 CVD 증착된 에피택셜 C49- $\text{TiSi}_2$  층의 HRTEM 이미지(image)이고, 도 11b는 같은 조건하에서의 TEM 이미지이다.

<66> 도 11a를 참조하면 실리콘기판(Si Sub)와 C49- $\text{TiSi}_2$  층 사이에는 미스피트(misfit) 디스로케이션(dislocation)이 형성되어 있고, C49- $\text{TiSi}_2$  층은 그레인 바운더리가 존재하지 않음을 알 수 있다. 따라서, 실리콘과  $\text{TiSi}_2$  사이의 계면은 반정합을 형성함으로써 최소한의 변형에 너지만을 가지므로 후속 고온 열공정에서도 에피택셜 C49- $\text{TiSi}_2$  층은 C54상으로 상변화하지 않고, 아울러  $\text{TiSi}_2$ 의 응집 및 글루빙 현상이 발생되지 않는다.

<67> 또한 도 11b를 참조하면  $\text{TiSi}_2$ 는 CVD 증착과 동시에 (060)면의 C49상이 대부분 형성되고, 일부는 미반응 Ti상을 형성하고 있으나 미반응 Ti상도 후속 열공정을 거치면 모두 C49상으로 상변화한다. 이때 기존의 C49상은 C54상으로 상변화하지 않는다.

<68> 도 12는 후속 급속열처리온도에 따른 CVD방법에 의한 에피택셜 C49상- $\text{TiSi}_2$ 의 구조변화를 도시한 그래프로서,  $800^\circ\text{C}$ 의 열처리에서도 에피택셜 C49- $\text{TiSi}_2$ 상이 존재함을 알 수 있는 반면, C54- $\text{TiSi}_2$ 상은 존재하지 않는다. 결국, 본 발명에 따른 CVD방법에 의한 에피택셜 C49- $\text{TiSi}_2$ 은 후속 급속열처리공정시  $800^\circ\text{C}$ 까지 상변화 없이 안정한 상태로 존재함을 알 수 있다.

- <69> 도 13a 내지 도 13f는 원자층증착법(ALD)에 따른 에피택셜 C49-TiSi<sub>2</sub>의 형성 방법을 보여준다. 본 발명에 따른 ALD 방식에 의한 에피택셜 C49-TiSi<sub>2</sub> 층 형성 방법은 앞서 설명한 살리사이드 형성 및 콘택홀내의 형성 등에 응용가능 하며, 본 실시예에서는 간략히 실리콘기판상에 에피택셜 C49-TiSi<sub>2</sub> 층을 원자층증착법으로 형성하는 것을 보여준 것이다.
- <70> 원자층증착법에 따른 에피택셜 C49-TiSi<sub>2</sub>의 형성 방법을 살펴보면, 먼저 도 13a와 같이 소정 공정이 완료된 실리콘기판(1301)을 원자층증착을 위한 챔버(미도시)에 로딩한다. 이어서, 도 13b와 같이 상기 챔버내에 티타늄 소오스가스인 TiCl<sub>4</sub>를 플로우시켜 TiCl<sub>4</sub>를 가스 분자(1302)를 흡착시키고, 도 13c와 같이 퍼지시켜 흡착되지 않은 TiCl<sub>4</sub>를 가스 분자 및 불안정하게 흡착된 분자들을 퍼지시킨다.
- <71> 이어서, 도 13d와 같이 환원가스인 H<sub>2</sub> 가스를 플로우시키면 H<sub>2</sub>가스분자(1303)가 흡착되면서, 흡착된 TiCl<sub>4</sub> 가스 분자를 H<sub>2</sub> 가스가 환원시키고 기판에는 Ti 층만 남게 되며 기판 Si과 반응하여 실리사이드층(1304)이 형성된다. 이어서, 도 13e와 같이 퍼지시켜 미반응가스 및 반응 부산물들을 배기시킨다.
- <72> 상기와 같은 도 13b 내지 도 13e의 과정을 복수회 반복하면 도 13f와 같이 실리콘기판에 에피택셜 성장된 C49상의 TiSi<sub>2</sub>를 형성할 수 있다.
- <73> 원자층증착에 의한 에피택셜 C49-TiSi<sub>2</sub>의 형성은 400~700℃의 온도, 0.1~10Torr의 압력의 조건하에서 수행하며, 플라즈마의 사용도 가능하다. 또한 환원가스로서 H<sub>2</sub> 만을 설명하였으나, 예컨대 SiH<sub>4</sub>와 같은 실리콘을 포함하는 가스를 사용할 수도 있다.
- <74> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명



의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

**【발명의 효과】**

<75> 상술한 본 발명은 고온의 후속 열공정에서 상변화가 발생하지 않는 정도의 낮은 계면에너지를 갖는 에피택셜 성장된 C49-TiSi<sub>2</sub>막을 실리콘 상에 제공하므로써, TiSi<sub>2</sub>막의 응집 및 그 루빙 현상을 방지하여 실리콘층과 금속층의 콘택 저항 및 누설전류를 감소시키는 효과가 있다.



【특허청구범위】

【청구항 1】

실리콘층;

상기 실리콘층 상에 형성되며 상기 실리콘층의 일부가 드러나도록 콘택홀이 오픈된 절연막;

상기 콘택홀내의 상기 실리콘층 상에 에피택셜 성장된 C49상의 티타늄실리사이드층; 및

상기 티타늄실리사이드층 상부에 형성된 금속층

을 포함하는 반도체소자.

【청구항 2】

제1항에 있어서,

상기 금속층은 상기 실리콘층과의 원자확산 방지를 위하여 상기 티타늄실리사이드층과 접하는 부위에 TiN 베리어 금속을 포함하는 것을 특징으로 하는 반도체소자.

【청구항 3】

제1항 또는 제2항에 있어서,

상기 실리콘층과 상기 티타늄실리사이드층은 하기의 방위관계를 갖는 것을 특징으로 하는 반도체소자.

(060)[001]TiSi<sub>2</sub> // (002)[110]Si



【청구항 4】

제1항 또는 제2항에 있어서,

상기 실리콘층은 실리콘 기판 임을 특징으로 하는 반도체소자.

【청구항 5】

제1항 또는 제2항에 있어서,

상기 금속층은 비트라인용 금속, 커패시터 전극용 금속, 콘택 플러그용 금속, 또는 내부 연결배선용 금속 중 어느 하나인 것을 특징으로 하는 반도체소자.

【청구항 6】

실리콘기판;

상기 실리콘기판에 국부적으로 형성되어 필드영역과 액티브영역을 정의하는 소자분리막;

상기 액티브영역의 실리콘기판에 형성되고 게이트전극, 소오스/드레인 확산영역을 포함하여 구성되는 모스트랜지스터; 및

상기 소오스/드레인 확산영역의 실리콘기판 상에 에피택셜 성장된 C49상의 티타늄실리사이드층

을 포함하는 반도체소자.



**【청구항 7】**

제6항에 있어서,

상기 실리콘기판과 상기 티타늄실리사이드층은 하기의 방위관계를 갖는 것을 특징으로 하는 반도체소자.

$(060)[001]\text{TiSi}_2$  //  $(002)[110]\text{Si}$

**【청구항 8】**

소정 공정이 완료된 실리콘기판을 마련하는 단계;

상기 실리콘기판 표면을 질소를 포함하는 가스분위기에서 플라즈마 처리하는 단계;

상기 질소 플라즈마 처리된 실리콘기판 상에 티타늄을 물리기상증착(PVD) 방법으로 증착하는 단계; 및

열처리를 수행하여 상기 실리콘기판과 상기 티타늄층을 반응시켜 에피택셜 성장된 C49 상의 티타늄실리사이드층을 형성하는 단계

를 포함하는 반도체소자 제조 방법.

**【청구항 9】**

제8항에 있어서,

상기 플라즈마 처리는  $\text{N}_2$  플라즈마 처리 또는  $\text{NH}_3$  플라즈마 처리로 수행되는 것을 특징으로 하는 반도체소자 제조 방법.

**【청구항 10】**

제9항에 있어서,

상기 플라즈마 처리는 400~450℃ 온도, 3~5Torr의 압력, 400~500W의 파워, 30~60초의 조건하에서 실시되는 것을 특징으로 하는 반도체소자 제조 방법.

**【청구항 11】**

제8항에 있어서,

상기 물리기상증착 방법은 IMP(Ion Metal Plasma) 방법인 것을 특징으로 하는 반도체소자 제조 방법.

**【청구항 12】**

제8항에 있어서,

상기 열처리는 질소 분위기하에서 실시하여 상기 티타늄층의 표면에 TiN층을 형성하는 것을 특징으로 하는 반도체소자 제조 방법.

**【청구항 13】**

제8항 또는 제12항에 있어서,

상기 열처리는 급속열처리 또는 퍼니스 어닐로 수행하는 것을 특징으로 하는 반도체소자 제조 방법.



【청구항 14】

제8항 또는 제12항에 있어서,

상기 열처리는 670~850℃에서 20~30초동안 제1급속열처리하는 단계, 및 850~900℃에서 20~30초동안 제2급속열처리하는 단계를 포함하는 것을 특징으로 하는 반도체소자 제조 방법.

【청구항 15】

제8항에 있어서,

상기 플라즈마 처리 전에 상기 실리콘기판을 세정하는 단계를 더 포함하는 것을 특징으로 하는 반도체소자 제조 방법.

【청구항 16】

제15항에 있어서,

상기 세정은 BOE 또는 HF를 사용한 습식 세정이나  $\text{NF}_3$ -베이스(base) 건식 세정으로 수행되는 것을 특징으로 하는 반도체소자 제조 방법.

【청구항 17】

실리콘기판에 필드영역과 액티브영역을 정의하기 위한 소자분리막을 형성하는 단계;

상기 액티브영역의 상기 실리콘기판에 소오스/드레인 확산영역을 포함하는 트랜지스터를 형성하는 단계;

상기 소오스/드레인 확산영역의 실리콘기판을 질소를 포함하는 가스 분위기에서 플라즈마 처리하는 단계;

상기 질소 플라즈마 처리된 상기 소오스/드레인 확산영역의 실리콘기판 상에 티타늄을 물리기상증착(PVD) 방법으로 증착하는 단계;

열처리를 수행하여 상기 실리콘기판과 상기 티타늄층을 반응시켜 에피택셜 성장된 C49상의 티타늄실리사이드층을 형성하는 단계; 및

비반응된 상기 티타늄층을 제거하는 단계

를 포함하는 반도체소자 제조 방법.

#### 【청구항 18】

제17항에 있어서,

상기 플라즈마 처리는  $N_2$  플라즈마 처리 또는  $NH_3$  플라즈마 처리로 수행되는 것을 특징으로 하는 반도체소자 제조 방법.

#### 【청구항 19】

제18항에 있어서,

상기 플라즈마 처리는 400~450℃ 온도, 3~5Torr의 압력, 400~500W의 파워, 30~60초의 조건하에서 실시되는 것을 특징으로 하는 반도체소자 제조 방법.

## 【청구항 20】

제17항에 있어서,

상기 열처리는 670~850℃에서 20~30초동안 제1급속열처리하는 단계, 및 850~900℃에서 20~30초동안 제2급속열처리하는 단계를 포함하는 것을 특징으로 하는 반도체소자 제조 방법.

## 【청구항 21】

제17항에 있어서,

상기 플라즈마 처리 전에 상기 소오스/드레인 확산영역의 실리콘기판을 BOE 또는 HF를 사용한 습식이나  $\text{NF}_3$ -베이스(base) 건식으로 세정하는 단계를 더 포함하는 것을 특징으로 하는 반도체소자 제조 방법.

## 【청구항 22】

소정 공정이 완료된 실리콘기판을 준비하는 단계; 및

티타늄 소오스가스와 환원 가스를 플로우시켜 상기 실리콘기판과의 표면 반응 및 기상 반응을 이용한 화학기상증착(CVD)법으로 C49상의 티타늄실리사이드층을 에피택셜 성장시키는 단계

를 포함하는 반도체소자 제조 방법.

**【청구항 23】**

제22항에 있어서,

상기 화학기상증착시에  $\text{TiCl}_4/\text{H}_2$  증착가스를 사용하는 것을 특징으로 하는 반도체소자 제조 방법.

**【청구항 24】**

제22항에 있어서,

상기 화학기상증착시에  $\text{TiCl}_4/\text{H}_2/\text{SiH}_4$  증착가스를 사용하는 것을 특징으로 하는 반도체소자 제조 방법.

**【청구항 25】**

제22항에 있어서,

상기 화학기상증착시에  $\text{TiCl}_4/\text{SiH}_4$  증착가스를 사용하는 것을 특징으로 하는 반도체소자 제조 방법.

**【청구항 26】**

제23항 내지 제25항중 어느 한 항에 있어서,

상기 화학기상증착은  $550\sim 800^\circ\text{C}$ 의 온도,  $1\sim 20\text{Torr}$ 의 압력, 및  $200\sim 800\text{W}$ 의 플라즈마 파워(Power)에서 수행되는 PECVD 증착법으로 수행되는 것을 특징으로 하는 반도체소자 제조 방

법.

【청구항 27】

제22항에 있어서,

상기 화학기상증착 전에 상기 실리콘기판을 BOE 또는 HF를 사용한 습식이나  $\text{NF}_3$ -베이스 (base) 건식으로 세정하는 단계를 더 포함하는 것을 특징으로 하는 반도체소자 제조 방법.

【청구항 28】

소정 공정이 완료된 실리콘기판을 원자층증착을 위한 챔버에 로딩하는 제1단계;

상기 챔버내에 티타늄 소오스가스를 플로우시키는 제2단계;

상기 챔버를 제1퍼지하는 제3단계;

상기 챔버내에 환원가스를 플로우시키는 제4단계;

상기 챔버를 제2퍼지하는 제5단계; 및

상기 제2단계 내지 제5단계를 복수회 반복하여 상기 실리콘기판 상에 원자층증착에 의해 에피택셜 성장된 C49상의 타타늄실리사이드층을 형성하는 제6단계  
를 포함하는 반도체소자 제조 방법.

【청구항 29】

제28항에 있어서,

상기 티타늄소스가스는  $\text{TiCl}_4$  를 포함하고, 상기 환원가스는  $\text{H}_2$  또는  $\text{SiH}_4$ 를 포함하는 것을 특징으로 하는 반도체소자 제조 방법.

【청구항 30】

제28항에 있어서,

상기 원자충증착은  $400 \sim 700^\circ\text{C}$ 의 온도,  $0.1 \sim 10\text{Torr}$ 의 압력의 조건하에서 수행되는 것을 특징으로 하는 반도체소자 제조 방법.

【청구항 31】

제28항에 있어서,

상기 원자충증착은 플라즈마를 사용하는 것을 특징으로 하는 반도체소자 제조 방법.

【청구항 32】

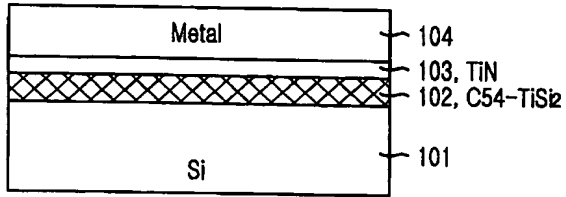
제28항에 있어서,

상기 원자충증착전 전에 상기 실리콘기판을 BOE 또는 HF를 사용한 습식이나  $\text{NF}_3$ -베이스 (base) 건식으로 세정하는 단계를 더 포함하는 것을 특징으로 하는 반도체소자 제조 방법.

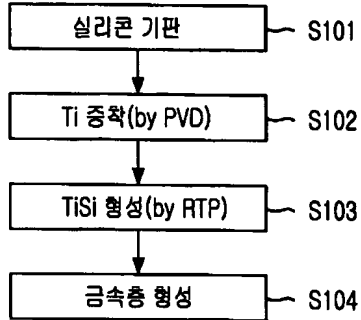


【도면】

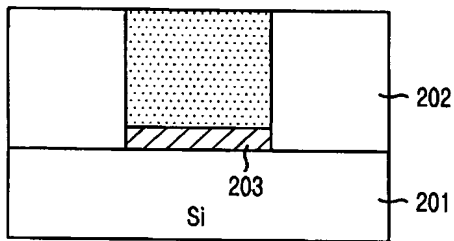
【도 1a】



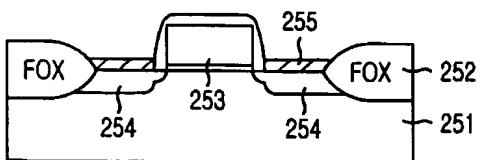
【도 1b】



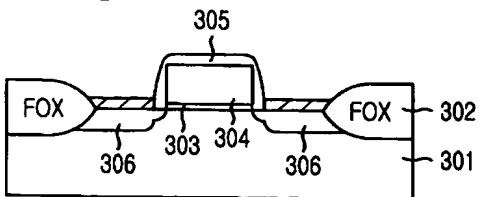
【도 2a】



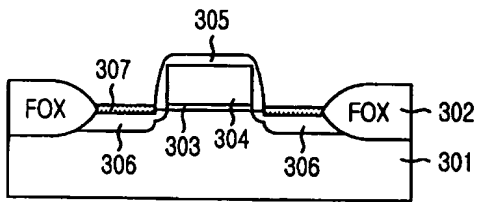
【도 2b】



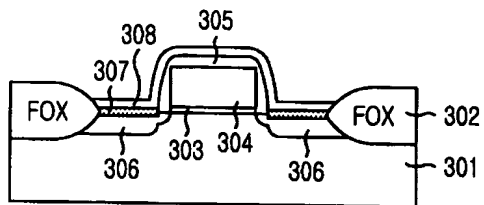
【도 3a】



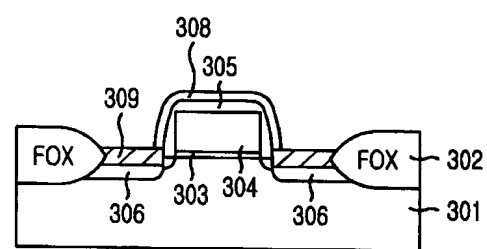
【도 3b】



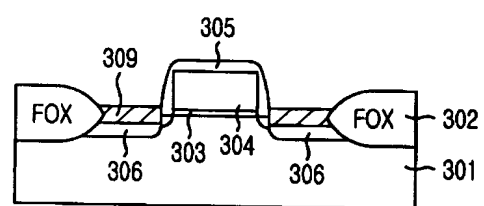
【도 3c】



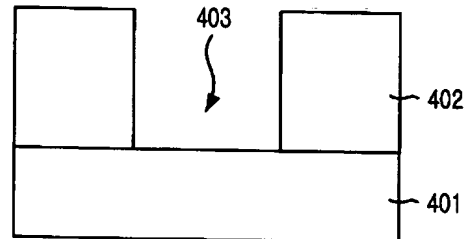
【도 3d】



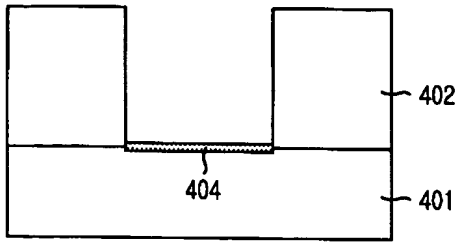
【도 3e】



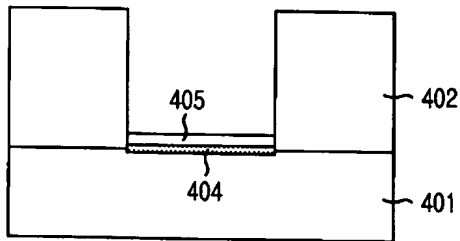
【도 4a】



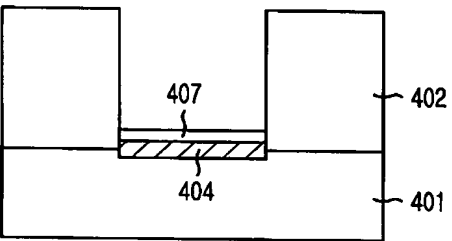
【도 4b】



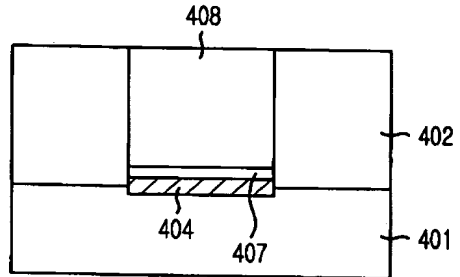
【도 4c】



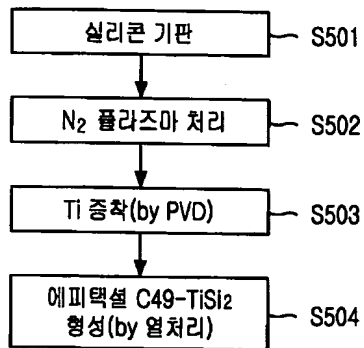
【도 4d】



【도 4e】

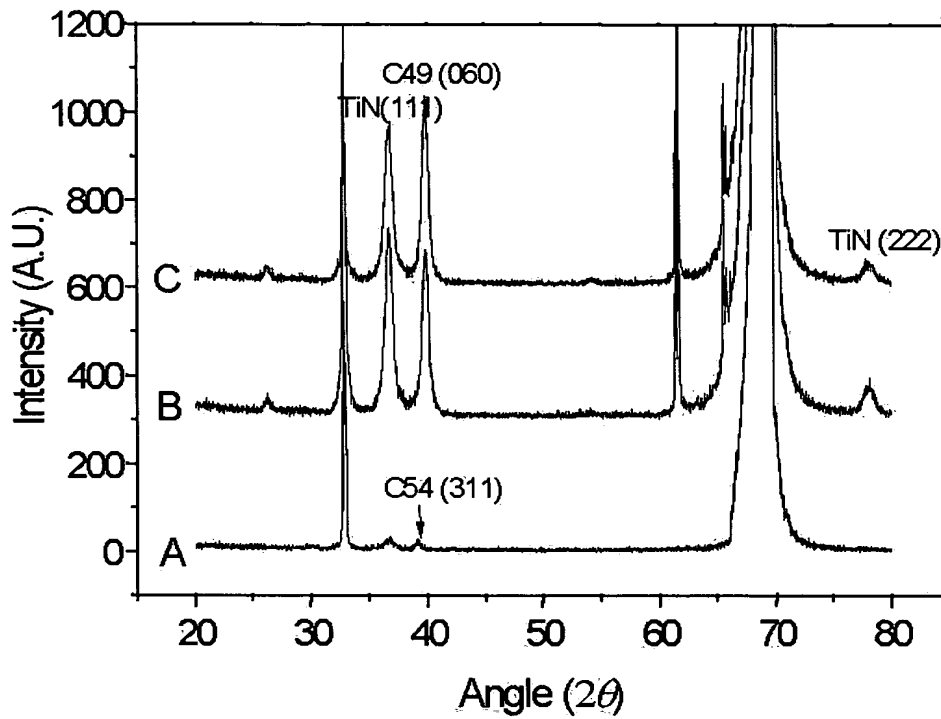


【도 5】

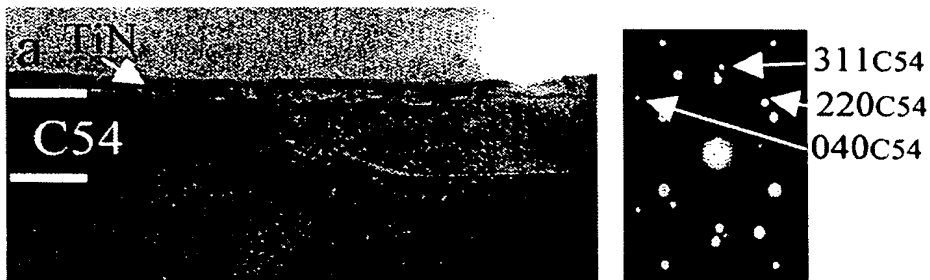


BEST AVAILABLE COPY

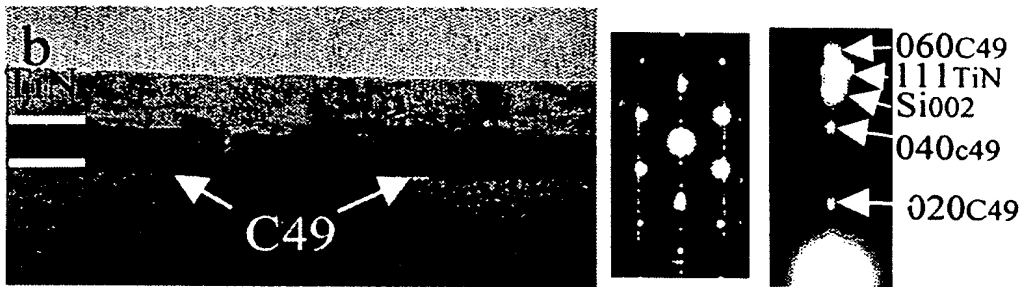
【도 6】



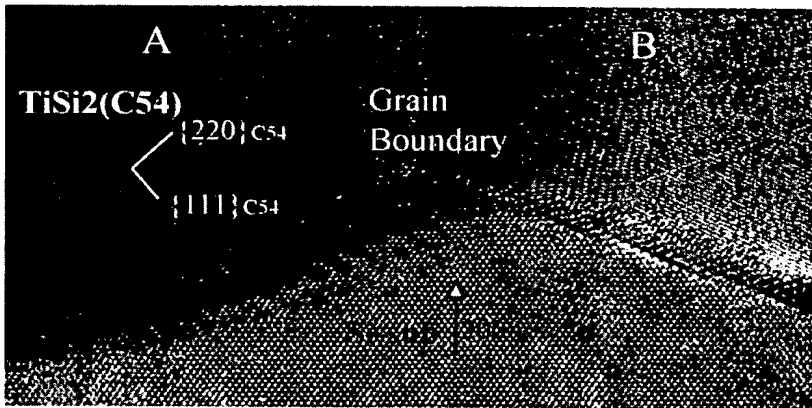
【도 7a】



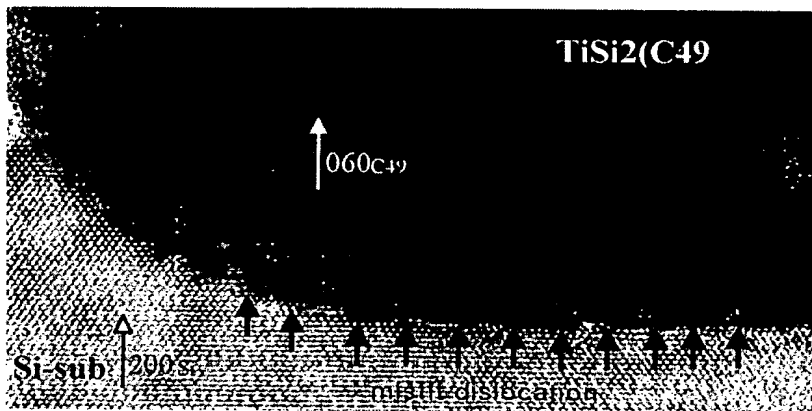
【도 7b】



【도 8a】

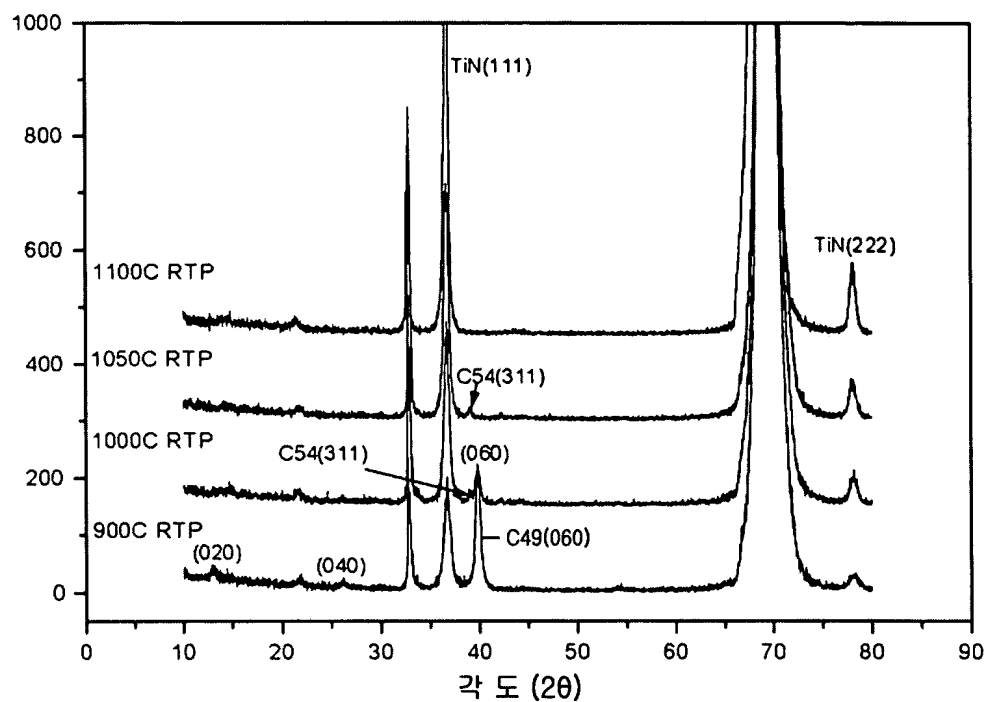


【도 8b】

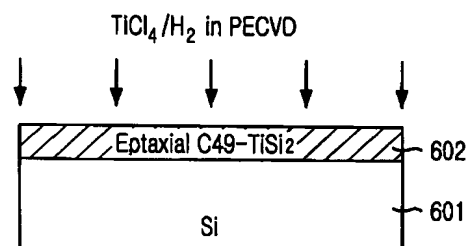


BEST AVAILABLE COPY

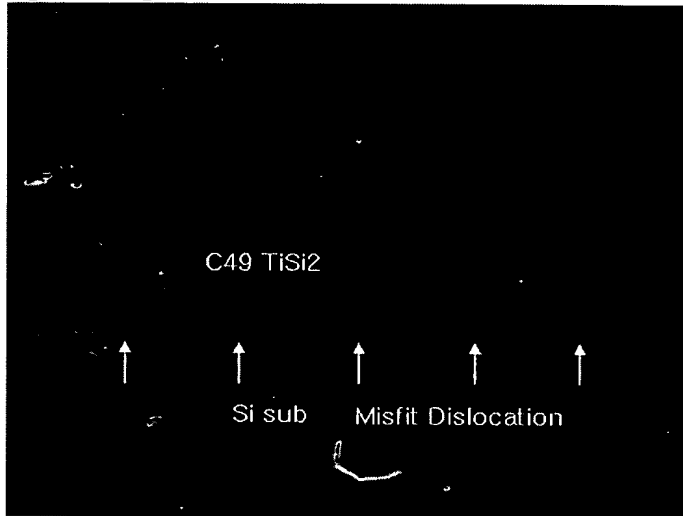
【도 9】



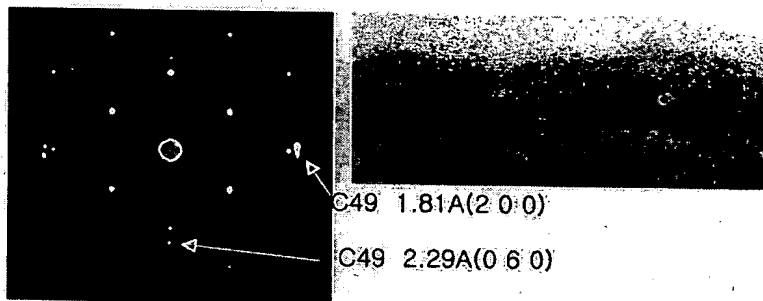
【도 10】



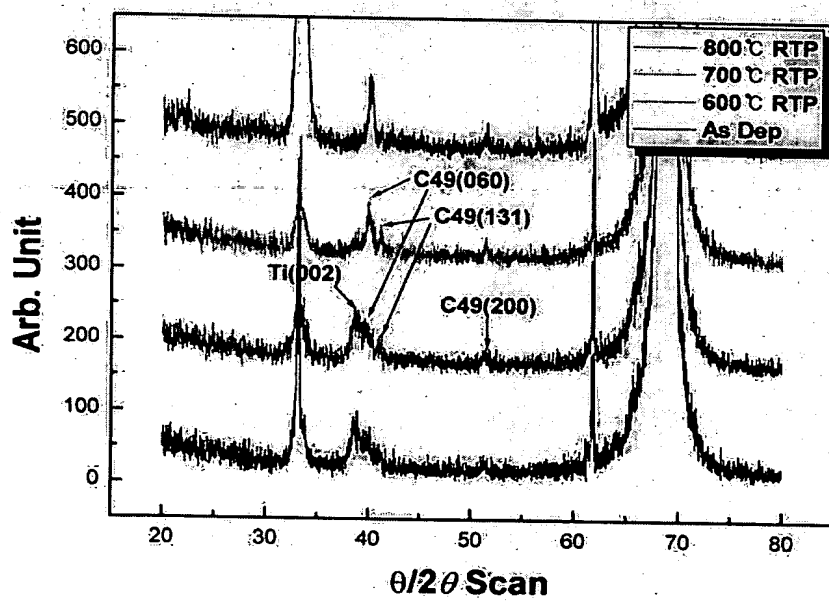
【도 11a】



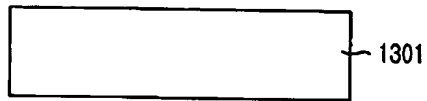
【도 11b】



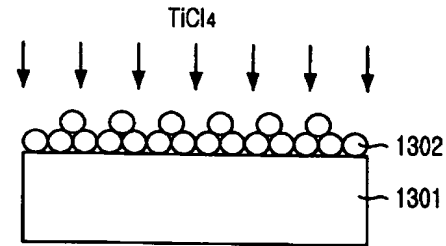
【도 12】



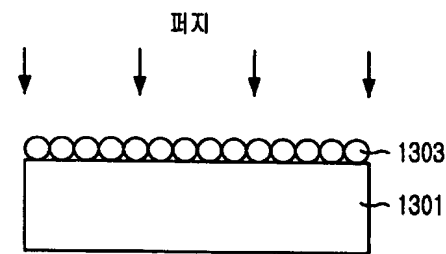
【도 13a】



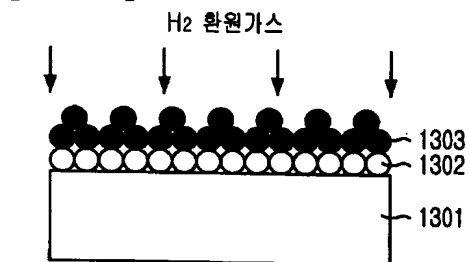
【도 13b】



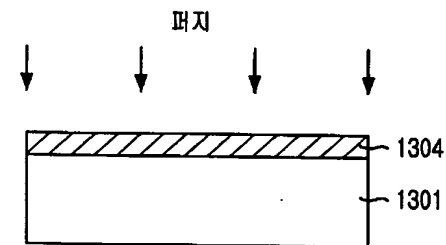
【도 13c】



【도 13d】



【도 13e】



【도 13f】

